

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЗАПОРІЗЬКА ПОЛІТЕХНІКА»

Кафедра інформаційних технологій електронних засобів
(найменування кафедри)

СИЛАБУС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Програмування систем на ПЛІС

(назва навчальної дисципліни)

Освітня програма: Автоматизація, мехатроніка та робототехніка
(назва освітньої програми)

Спеціальність: 151 «Автоматизація та комп'ютерно-інтегровані технології»
(найменування спеціальності)

Галузь знань: 15 «Автоматизація та приладобудування»
(найменування галузі знань)

Ступінь вищої освіти: бакалавр
(назва ступеня вищої освіти)

Затверджено на засіданні кафедри
Інформаційні технології електронних засобів
(найменування кафедри)

Протокол №1 від 31 серпня 2020 р.

1. Загальна інформація	
Назва дисципліни	Програмування систем на ПЛІС нормативна.
Рівень вищої освіти	Перший (бакалаврський) рівень
Викладач	Малий Олександр Юрійович, к.т.н., доцент каф. ІТЕЗ; Онищенко Вадим Федорович, к.ф-м.н., доцент каф. ІТЕЗ;
Контактна інформація викладача	0617698252 кафедра ІТЕЗ, 0684468950 телефон викладача, E-mail: vfonish@zntu.edu.ua
Час і місце проведення навчальної дисципліни	аудиторія 47, 48 каф. ІТЕЗ, III навчальний корпус
Обсяг дисципліни	Загальна кількість годин – 120. Кількість кредитів – 4. Лекцій 14 год. Лабораторні роботи 30 год. Самостійна робота 76 год. Вид контролю: іспит
Консультації	Згідно з графіком консультацій
2. Пререквізити і постреквізити навчальної дисципліни	
<p>Дисципліна «Програмування систем на ПЛІС» базується на знаннях з дисциплін:</p> <ul style="list-style-type: none"> – Комп'ютерна електроніка / Основи схемотехніки / Теорія електричних кіл та сигналів; – Технології програмування; – Мікропроцесорна техніка <p>Дисципліни, для вивчення яких є обов'язковими знання, здобуті при вивченні цієї дисципліни:</p> <ul style="list-style-type: none"> – Основи конструювання мехатронних систем / ОК робототехнічних систем / ОК електронних приладів; 	
3. Характеристика навчальної дисципліни	
<p>В курсі «Програмування систем на ПЛІС» вивчається розуміння місця ПЛІС при розробці складних цифрових схем. Також в даному курсі розглядаються сучасні підходи для створення і симуляції роботи цифрових пристроїв з використанням мов опису апаратури (HDL). І нарешті, даний курс спрямован на проходження усього шляху - від створення проекту розроблювального пристрою, до практичної реалізації його в мікросхемі ПЛІС (з підключенням периферійних пристроїв) з використанням сучасних інтегрованих спеціалізованих середовищ розробки.</p> <p>Загальні компетентності:</p> <ul style="list-style-type: none"> – ЗК-1 Здатність до абстрактного мислення, аналізу та синтезу; – ЗК-2 Здатність застосовувати знання у практичних ситуаціях; – ЗК-4 Знання та розуміння предметної області та розуміння професійної діяльності; – ЗК-5 Здатність спілкуватися державною мовою як усно, так і письмово; – ЗК-6 Здатність працювати в команді; – ЗК-7 Здатність вчитися і оволодівати сучасними знаннями; – ЗК-8 Вміння виявляти, ставити та вирішувати проблеми; <p>Фахові компетентності:</p> <ul style="list-style-type: none"> – ПК-1 Здатність розуміти сутність і значення інформації в розвитку сучасного інформаційного суспільства; – ПК-2 Здатність вирішувати стандартні завдання професійної діяльності на основі інформаційної та бібліографічної культури із застосуванням інформаційно-комунікаційних технологій і з урахуванням основних вимог інформаційної безпеки; – ПК-3 Здатність використовувати базові методи, способи та засоби отримання, передавання, обробки та зберігання інформації; – ПК-4 Здатність здійснювати комп'ютерне моделювання пристроїв, систем і процесів з використанням універсальних пакетів прикладних програм; – ПК-6 Здатність проводити інструментальні вимірювання в інформаційно-телекомунікаційних мережах, телекомунікаційних та радіотехнічних системах; 	

- ПК-8 Готовність сприяти впровадженню перспективних технологій і стандартів;
- ПК-9 Здатність здійснювати приймання та освоєння нового обладнання відповідно до чинних нормативів;
- ПК-10 Здатність здійснювати монтаж, налагодження, налаштування, регулювання, дослідну перевірку працездатності, випробування та здачу в експлуатацію споруд, засобів і устаткування телекомунікацій та радіотехніки;
- ПК-15 Здатність проводити розрахунки у процесі проектування споруд і засобів інформаційно-телекомунікаційних мереж, телекомунікаційних та радіотехнічних систем, відповідно до технічного завдання з використанням як стандартних, так і самостійно створених методів, прийомів і програмних засобів автоматизації проектування.

Додаткові компетентності:

- ДК-43 Здатність використовувати різні типи ПЛІС як окремо, так і спільно з програмованими мікроконтролерами для створення ефективних інформаційно-телекомунікаційних мереж, телекомунікаційних і радіотехнічних систем.

Результати навчання:

- ПРН 1 Знання теорій та методів фундаментальних та загальноінженерних наук в об'ємі необхідному для розв'язання спеціалізованих задач та практичних проблем у галузі професійної діяльності.
- ПРН 2 Вміння застосовувати базові знання основних нормативно-правових актів та довідкових матеріалів, чинних стандартів і технічних умов, інструкцій та інших нормативно-розпорядчих документів у галузі електроніки та телекомунікацій.
- ПРН 3 Вміння застосовувати знання в галузі інформатики й сучасних інформаційних технологій, обчислювальної і мікропроцесорної техніки та програмування, програмних засобів для розв'язання спеціалізованих задач та практичних проблем у галузі професійної діяльності.
- ПРН 6 Вміння проектувати, в т.ч. схемотехнічно нові (модернізувати існуючі) елементи (модулі, блоки, вузли) телекомунікаційних та радіотехнічних систем, систем телевізійного й радіомовлення тощо.
- ПРН 8 Вміння застосовувати сучасні досягнення у галузі професійної діяльності з метою побудови перспективних телекомунікаційних систем, інфокомунікаційних, телекомунікаційних мереж, радіотехнічних систем та систем телевізійного й радіомовлення тощо
- ПРН 12 Вміння використовувати системи моделювання та автоматизації схемотехнічного проектування для розроблення елементів, вузлів, блоків радіотехнічних та телекомунікаційних систем.

Додаткові результати навчання:

- навички розробки та тестування цифрових пристроїв на базі ПЛІС по їх поведінковому опису за допомогою мови опису апаратури HDL та сучасних автоматизованих систем розробки (ДРН 65)

4. Мета вивчення навчальної дисципліни

Мета викладання навчальної дисципліни «Програмування систем на ПЛІС» – це набуття навичок щодо основних принципів створення складних цифрових пристроїв на ПЛІС Altera Cyclone V FPGA, з використанням автоматизованої системи розробки QUARTUS II і мови Verilog, а також реалізації розробленої системи і її тестування на відлагоджувальній платі Cyclone V Starter Kit (що базується на Altera Cyclone V GX FPGA).

5. Завдання вивчення дисципліни

У результаті вивчення навчальної дисципліни «Програмування систем на ПЛІС» студент повинен *знати*:

- основні типи програмованих логічних інтегральних схем і їх параметри;
- основні принципи побудови цифрових пристроїв на ПЛІС;
- архітектуру і схемотехніку ПЛІС;
- інтегровані середовища розробки для ПЛІС різних фірм;
- методика і основні етапи проектування цифрових пристроїв на ПЛІС;
- структурні та алгоритмічні способи опису цифрових пристроїв, HDL мови опису цифрових пристроїв;
- принципи моделювання цифрових пристроїв;

- програмні засоби проектування та налагодження цифрових пристроїв на ПЛІС
- вміти:*
- обґрунтовувати технічні вимоги до цифрових пристроїв на базі ПЛІС за загальним технічним завданням;
 - розробляти комбінаційні схеми, послідовних схема з синхронізацією і реалізовувати на ПЛІС Altera Cyclone V FPGA найпростіші цифрові блоки (компаратори, суматори, регістри, лічильники, шифратори, дешифратори) на Verilog у середовищі QUARTUS II;
 - використовувати структурний і поведінковий способи опису розробляються модулів на Verilog;
 - створювати тестуючі модулі та моделювати роботу пристрою на Verilog за допомогою системи моделювання ModelSim;
 - проводити налагодження проекту на налагоджувальній платі Cyclone V Starter Kit;
 - використовувати засоби розробки і налагодження цифрових пристроїв на основі ПО Quartus II і налагоджувального модуля з використанням ПЛІС фірми ALTERA.

6. Зміст навчальної дисципліни

Структура навчальної дисципліни складається з 15 лекцій за двома змістовими модулями. Для отримання базових практичних навичок з відповідних тем виконують 5 лабораторних робіт:

1. Основи створення цифрових схем з використанням мови Verilog і налагоджувальної плати Cyclone V Starter Kit у середовищі розробки Quartus II (2 год).
2. Основи створення тестуючих модулів на мові Verilog в середовищі розробки Quartus II і проведення тестування за допомогою програми Altera ModelSim. (2 год).
3. Основи створення і тестування комбінаційних схем на мові Verilog в середовищі Quartus II. (4 год).
4. Основи створення і тестування послідовних схем на мові Verilog в середовищі Quartus II. (4 год).
5. Основи створення і тестування складних цифрових схем з використанням технології FSM мовою Verilog в середовищі Quartus II.. (2 год).

7. План вивчення навчальної дисципліни

№ тижня	Назва теми	Форми організації навчання	Кількість годин
1	Введення в програмування логічні схеми (ПЛІС). Історія розвитку та види ПЛІС. Внутрішній устрій і принцип роботи CPLD ПЛІС.	Лекція	2
1	Основи створення цифрових схем з використанням мови Verilog і налагоджувальної плати Cyclone V Starter Kit у середовищі розробки Quartus II	лабораторна робота	2
2	Внутрішній устрій, принцип роботи та застосування FPGA ПЛІС. FPGA Altera.	Лекція	2
3	Етапи розробки і етапі технологічного процесу проектування цифрових пристроїв на базі ПЛІС.	Лекція	2
3	Основи створення тестуючих модулів на мові Verilog в середовищі розробки Quartus II і проведення тестування за допомогою програми Altera ModelSim	лабораторна робота	2
4	Основні поняття про мови опису апаратури (HDL language). Введення в мову Verilog. Основні елементи мови Verilog. Ключові слова. Ідентифікатори. Коментарі. Модуль та його інтерфейс. Параметри. Ієрархія модулів.	Лекція	2

5	Типи даних мови Verilog. Мережеві типи даних. Типи даних – змінні. Одновимірні та багатовимірні масиви в Verilog. Параметри у Verilog. Числові константи. Вибір бітів і бітових полів. Вибір елементів масиву	Лекція	2
5	Основи створення і тестування комбінаційних схем на мові Verilog в середовищі Quartus II.	лабораторна робота	4
6	Структурний і поведінковий опис цифрового пристрою на мові Verilog. Процедурні оператори і блоки. Оператори процедурного призначення. Блокуюче і неблокуюче призначення.	Лекція	2
7	Оператор безперервного призначення assign. Інерційна затримка.	Лекція	2
8	Операції мови Verilog. Побітові операції. Операції редукції. Логічні операції. Арифметичні операції.	Лекція	2
9	Оператори процедурного програмування. Оператор case, casex, casez в Verilog.	Лекція	2
9	Основи створення і тестування послідовних схем на мові Verilog в середовищі Quartus II.	лабораторна робота	4
10	Цикли forever, repeat, while, for в Verilog. Використання for для синтезу.	Лекція	2
11	Завдання і функції в мові Verilog. Системні функції і таски у Verilog	Лекція	2
12	Програмування комбінаційних пристроїв на мові Verilog.	Лекція	2
13	Програмуванні послідовних пристроїв на мові Verilog.	Лекція	2
13	Основи створення і тестування складних цифрових схем з використанням технології FSM мовою Verilog в середовищі Quartus II	лабораторна робота	2
14	Підходи до опису оперативної та постійної пам'яті на Verilog.	Лекція	2
15	Кінцеві автомати Мура і Мілі. Способи кодування станів кінцевих автоматів. Шаблони опису кінцевих автоматів на Verilog.	Лекція	2

8. Самостійна робота

Самостійна робота складається з шести теоретичних тем та двох практичних робіт для вивчення, а саме:

Теоретичний матеріал (загалом 31 год):

1. Вивчення, та застосування директив компілятора Verilog. (4 год).
2. Вивчення створення та застосування User Defined Primitive язика Verilog. (4 год).
3. Вивчення System Tasks і System Functions язика Verilog та їх застосування. (5 год).
4. Вивчення арифметичних та побітових операторів язика Verilog (6 год).
5. Вивчення повністю синтезуємих, частково синтезуємих і не синтезуємих конструкцій язика Verilog. (4 год).
6. Вивчення методів опису на мові Verilog синхронних автоматів з кінцевим числом станів.

Опис на Verilog автоматів Мура. Опис на Verilog автоматів Міллі. Методи реалізації асинхронного скидання автомата у початковий стан. (8 год).

Практичні завдання (загалом 30 год):

1. Вивчення використання інструменту SignalTap середовища розробки Quartus II для аналізу та налагодження записаного в FPGA створюваного цифрового пристрою. (15 год).
2. Вивчення використання інструменту TimeQuest Timing Analyzer середовища розробки Quartus II для визначення тимчасових обмежень розроблюваної цифрової схеми. Правила написання Synopsys Designe Constraint файлів. (15 год).

Теоретичне та практичне завдання виконуються протягом семестру. Передбачено проведення 3 консультацій згідно графіку впродовж семестру. Перевірка вивчення тем самостійних робіт провадиться шляхом контрольних робіт. . Перевірка виконання практичних завдань самостійних робіт провадиться шляхом демонстрації студентом виконання робіт на власних комп'ютерах, або комп'ютерах в аудиторій 47, 48 кафедри ІТЕЗ.

9. Система та критерії оцінювання курсу

Контроль передбачає проведення двох модульних контролів впродовж семестру, поточний контроль при виконанні лабораторних робіт та поточний контроль вивчення тем самостійної роботи шляхом проведення контрольних робіт. У підсумку проведення контрольних засобів виставляються бали на екзамен.

Розподіл балів:

- виконання лабораторних робіт: по 8 балів за кожну роботу (8*5=40 балів).
- максимальний бал при проведенні кожного модульного контролю – 8 балів (8*2=16 балів).
- зараховані практичні завдання самостійної роботи – 10 балів.
- підсумковий теоретичний екзамен – 34 бали.

10. Політика курсу

При організації освітнього процесу в Національному університеті «Запорізька політехніка» студенти, викладачі, методисти та адміністрація діють відповідно до наступних документів:

- Положення про організацію освітнього процесу в НУ «Запорізька політехніка» http://zntu.edu.ua/uploads/dept_nm/Polozhennia_pro_orhanizatsiyu_osvitnoho_protseesu.pdf
- Наказ №120 від 15.04.2019 «Про планування освітнього процесу на 2019/2020 н.р.» http://zntu.edu.ua/uploads/dept_nm/Nakaz_No.120_vid_15.04.2019.pdf
- Положення про систему забезпечення НУ «Запорізька політехніка» якості освітньої діяльності та якості вищої освіти (системи внутрішнього забезпечення якості) http://zntu.edu.ua/uploads/dept_nm/Polozhennia_pro_zabezpechennia_yakosti.pdf
- Положення про порядок реалізації права на академічну мобільність учасників освітнього процесу НУ «Запорізька політехніка» http://zntu.edu.ua/uploads/dept_nm/Polozhennia_pro_akademichnu_mobilnist.pdf
- Лист Міністерства освіти і науки України керівникам закладів вищої освіти від 23.10.2018 № 1/9-650 «Щодо рекомендацій з академічної доброчесності для закладів вищої освіти» <https://zakon.rada.gov.ua/rada/show/v-650729-18>

Невчасно виконані завдання, пропущені заняття відпрацьовуються в узгодженому з викладачем режимі. Пропущена лекція відпрацьовується студентом самостійно у вигляді підготовки короткого конспекту за темою заняття. Пропущена лабораторна робота виконується студентом самостійно вдома або в комп'ютерному класі, результати оцінюються викладачем.

У випадку, коли студент приймав участь у програмі академічної мобільності, можливе врахування отриманих оцінок в іншому навчальному закладі за умови відповідності навчальних планів дисциплін.